

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-204897

(43)Date of publication of application : 22.07.1994

(51)Int.Cl.

H03M 13/12

H04L 25/08

(21)Application number : 04-349516

(71)Applicant : SONY CORP

(22)Date of filing : 28.12.1992

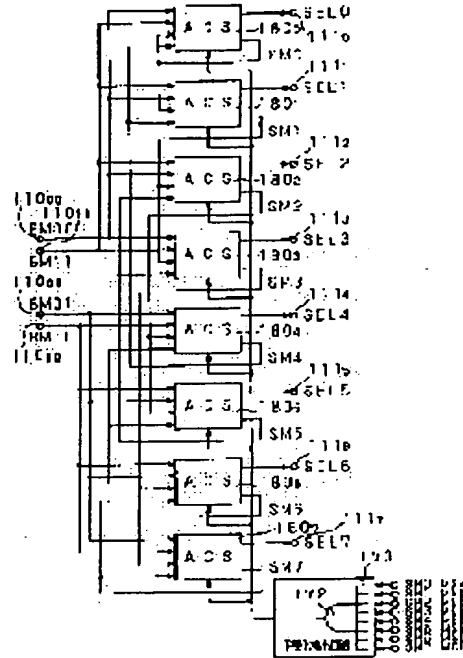
(72)Inventor : YOSHIDA HIROYUKI  
YAMASHITA MASAMI

## (54) VITERBI DECODER

### (57)Abstract:

**PURPOSE:** To make high-speed operation possible and to prevent overflows without a problem in terms of speed by performing normalization by letting the most significant bit of the state metric of the time  $t+1$  be '0' when it is decided that the normalization is performed based on the most significant bit of the values of all the state metric of the time (t) obtained by respective ACS circuits.

**CONSTITUTION:** The respective ACS circuits 1800-1807 add the pass metric before 1 symbol to branch metric BM10-BM11 inputted through terminal 11000-11010 and calculate the new pass metric corresponding to two passes. The pass metric values are compared, pass selecting signals SEL0-SEL7 for indicating the selected pass are outputted from the terminal 1110-1117 and also the selected pass metric is sent to the other ACS circuits 1800-1807. Also, a normalization detection circuit 170 for preventing the overflow performs the normalization for turning the MSB of the state metric SM0-SM7 of the time  $t+1$  to '0' when it is decided that the normalization is performed.



## LEGAL STATUS

[Date of request for examination] 06.12.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-204897

(43)公開日 平成6年(1994)7月22日

(51)IntCl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 M 13/12		8730-5 J		
H 0 4 L 25/08	B	8226-5 K		

審査請求 未請求 請求項の数7(全 12 頁)

(21)出願番号 特願平4-349516

(22)出願日 平成4年(1992)12月28日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 吉田 洋之

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 山下 雅美

東京都品川区北品川6丁目7番35号 ソニー株式会社内

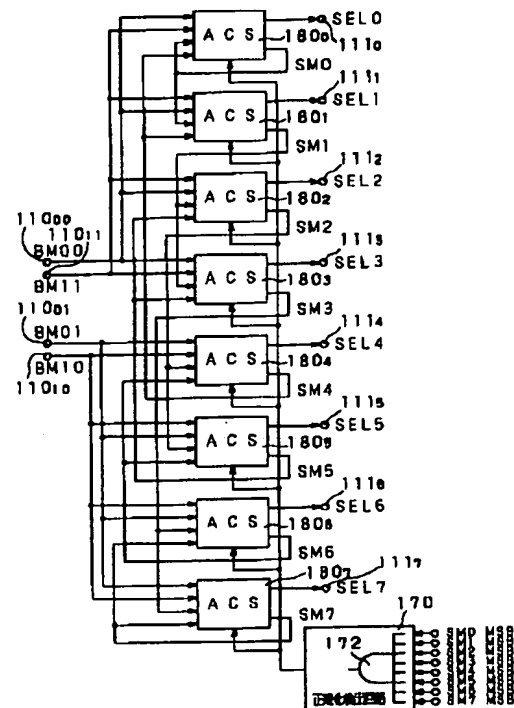
(74)代理人 弁理士 小池 晃 (外2名)

(54)【発明の名称】 ビタビ復号器

(57)【要約】

【構成】 例えば拘束長 $K=4$ のビタビ復号器において、ステートメトリック計算部は、各ACS回路180<sub>0</sub>~180<sub>7</sub>で求めた時刻 $t$ の全ステートメトリックSM0~SM7のMSBに基づいて、ステートメトリックSMの正規化(オーバーフローに対する補正)を行うか否かを決定する正規化検出回路170を有し、この回路170で正規化を行うと決定したときには時刻 $t+1$ のステートメトリックSM0~SM7のMSBを“0”にすることで正規化を行う。また、ACS回路180<sub>0</sub>~180<sub>7</sub>の加算器、セレクタは負論理構成とする。

【効果】 高速動作が可能となり、速度的に問題なくオーバーフローの防止ができるようになる。また、構成の大型化を防止でき、IC化も容易となる。



## 【特許請求の範囲】

【請求項1】 入力符号に基づいてブランチメトリックを計算するブランチメトリック計算部と、ブランチメトリックに基づいてパス選択信号を出力する複数のACS回路からなるステートメトリック計算部と、上記パス選択信号が供給される複数のパスメモリセルからなるパスメモリ回路と、上記パスメモリ回路の出力に対して最尤判定を行う最尤判定手段とを有するビタビ復号器において、

上記ステートメトリック計算部は、各ACS回路で求めた全ステートメトリック値の最上位ビットに基づいてステートメトリック値の正規化を行うか否かを決定することを特徴とするビタビ復号器。

【請求項2】 入力符号に基づいてブランチメトリックを計算するブランチメトリック計算部と、ブランチメトリックに基づいてパス選択信号を出力する複数のACS回路からなるステートメトリック計算部と、上記パス選択信号が供給される複数のパスメモリセルからなるパスメモリ回路と、上記パスメモリ回路の出力に対して最尤判定を行う最尤判定手段とを有するビタビ復号器において、

上記ステートメトリック計算部は、時刻 $t$ のステートメトリック値に基づいてステートメトリック値の正規化を行うか否かを決定し、正規化すると決定したときには時刻 $t+1$ のステートメトリック値に対して正規化を行うことを特徴とするビタビ復号器。

【請求項3】 入力符号に基づいてブランチメトリックを計算するブランチメトリック計算部と、ブランチメトリックに基づいてパス選択信号を出力する複数のACS回路からなるステートメトリック計算部と、上記パス選択信号が供給される複数のパスメモリセルからなるパスメモリ回路と、上記パスメモリ回路の出力に対して最尤判定を行う最尤判定手段とを有するビタビ復号器において、

上記ステートメトリック計算部は、ステートメトリック値の正規化を行うか否かを決定し、正規化すると決定したときには全ステートメトリック値の最上位ビットを“0”にすることで正規化を行うことを特徴とするビタビ復号器。

【請求項4】 入力符号に基づいてブランチメトリックを計算するブランチメトリック計算部と、ブランチメトリックに基づいてパス選択信号を出力する複数のACS回路からなるステートメトリック計算部と、上記パス選択信号が供給される複数のパスメモリセルからなるパスメモリ回路と、上記パスメモリ回路の出力に対して最尤判定を行う最尤判定手段とを有するビタビ復号器において、

上記ステートメトリック計算部の各ACS回路は、ブランチメトリックとステートメトリックとを加算する2つの加算器と、当該2つの加算器からの出力を比較する比

較器と、上記2つの加算器の出力を上記比較器の出力に基づいて選択するセレクトとを有してなると共に、上記加算器にはブランチメトリックとステートメトリックの加算時のオーバーフローを防止するオーバーフロー防止手段を設けることを特徴とするビタビ復号器。

【請求項5】 上記加算器は負論理構成とすることを特徴とする請求項4記載のビタビ復号器。

【請求項6】 上記ステートメトリック計算部は、ブランチメトリックとステートメトリックとを加算する2つの加算器と、当該2つの加算器からの出力を比較する比較器と、上記2つの加算器の出力を上記比較器の出力に基づいて選択するセレクトとを有してなると共に、上記セレクトは負論理構成とすることを特徴とする請求項3記載のビタビ復号器。

【請求項7】 上記ステートメトリック計算部は、ブランチメトリックとステートメトリックとを加算する2つの加算器と、当該2つの加算器からの出力を比較する比較器と、上記2つの加算器の出力を上記比較器の出力に基づいて選択するセレクトとを有してなると共に、上記セレクト及び加算器は負論理構成とすることを特徴とする請求項3記載のビタビ復号器。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、畳み込み符号の最尤復号法に使用されるいわゆるビタビ復号器に関するものである。

【0002】

【従来の技術】 ビタビ(Viterbi)復号器は、畳み込み符号の最尤復号法に使用されるものであり、既知の複数個の符号系列のうち、入力符号系列に最も符号距離に近いパスを最尤パスとして選択し、この選択されたパスに対応して復号データを得るものであり、誤り訂正能力が高いことから例えば衛星通信等の復号器として使用されている。

【0003】 ここで、従来のビタビ復号器は、例えば図6に示すように、符号分配器としてのブランチメトリック計算部101と、複数のACS(Add Compare Select)回路からなるステートメトリック計算部102と、パスメモリ回路103と、上記パスメモリ回路103の出力に基づいて多数決を行って復号信号を得る多数決回路(最尤判定回路)104とで構成されるものである。

【0004】 すなわち、この図6において、上記符号分配器としてのブランチメトリック計算部101には、入力端子100<sub>1</sub>と100<sub>0</sub>を介した直交変調の復号信号I、Qが入力符号として供給されている。当該ブランチメトリック計算部101では、これら入力符号から各ノード毎の4種類のブランチメトリック(ハミング距離)BM00~BM11を計算し、求めたブランチメトリックBM00~BM11を後段のステートメトリック計算部102の各ACS回路に送る。

【0005】ステートメトリック計算部102では、拘束長Kとすると、 $2^{K-1}$  状態分のステートメトリックが計算されると共に、 $2^{K-1}$  本のバス選択信号が出力される。ここで、ステートメトリック計算部102は、拘束長K=4とすると、例えば、図7に示すような複数のACS回路102<sub>0</sub>～102<sub>7</sub> からなるものである。

【0006】この図7において、上記各ACS回路102<sub>0</sub>～102<sub>7</sub> では、端子110<sub>00</sub>～110<sub>10</sub>を介して入力されたブランチメトリックBM00～BM11に1シンボル前のバスメトリックを加算して2つのバスに対応する新たなバスメトリックを計算し、これらのバスメトリック値を比較器で比較して、バスメトリックの小さい方を生き残りバスとして選択し、その選択したバスを示すバス選択信号（後段のバスメモリでのバス選択信号）SEL0～SEL7を端子111<sub>0</sub>～111<sub>7</sub> から出力すると共に、上記選択したバスメトリック（ステートメトリックSM0～SM7）を他のACS回路に送る。

【0007】また、このステートメトリック計算部102には、各ACS回路102<sub>0</sub>～102<sub>7</sub> におけるステートメトリックSM0～SM7の算出の際のオーバーフローを防止するために、各ACS回路102<sub>0</sub>～102<sub>7</sub> で求めたステートメトリックSM0～SM7の値に基づいてオーバーフローが発生するかどうかを検出するオーバーフロー検出回路としての正規化検出回路113が設けられている。当該正規化検出回路113では、各ステートメトリックSM0～SM7の値を見てオーバーフローが発生すると検出したときには、当該ステートメトリックSM0～SM7の値に対するオーバーフローの補正值（例えば減算値、すなわちステートメトリックの正規化情報）を求めて、この補正值（減算値）を各ACS回路102<sub>0</sub>～102<sub>7</sub> に送る。このとき、各ACS回路102<sub>0</sub>～102<sub>7</sub> では、上記ステートメトリックSM0～SM7の値に上記補正值を加算（すなわちステートメトリック値の減算、言い換えればステートメトリックの正規化）が行われるようになる。

【0008】ここで、各々のACS回路102<sub>0</sub>～102<sub>7</sub> は、具体的には例えば図8に示すように、加算器(Adder)122、123と、比較器(Comparator)126と、セクタ(Selector)127とを主要構成要素とするものである。

【0009】この図8において、1つのACS回路の端子120と121には1組のブランチメトリックBMが供給され、端子124と125には他のACS回路からの上記選択された1組のバスメトリック（ステートメトリックSM）が供給される。これらブランチメトリックBMとステートメトリックSMとがそれぞれ対応する加算器122、123にて加算され、これら加算器122、123からの出力（2つのバスに対応する新たなバスメトリック）が上記比較器126に送られる。当該比較器126では上記生き残りバスが選択され、そのバス

がバス選択信号（バス選択信号）SELとして端子129から出力される。また、上記加算器122、123からのバスメトリックは上記セクタ127にも送られ、当該セクタ127では上記比較器126からのバス選択信号SELに基づいて上記2つのバスメトリックを選択する。

【0010】上記セクタ127で選択されたバスメトリックはステートメトリックSMとして加算器116に送られると共に、端子114を介して上記オーバーフロー防止のための正規化検出回路113にも送られる。当該正規化検出回路113では上記オーバーフローが発生するかどうかを検出して、オーバーフローが発生すると検出した時には、上記ステートメトリックSMの値に基づいた上記補正值としての減算値を出力し、この減算値がACS回路の端子115を介して上記加算器116に送られる。すなわち、当該加算器116では、上記正規化検出回路113でオーバーフローが発生すると検出されたときの上記減算値と、上記セクタ127からのステートメトリックSMの値との加算（減算すなわち正規化）が行われる。この加算器116の出力がフリップフロップ（レジスタ）117を介して、他のACS回路へのステートメトリックSMとして端子128から出力される。

【0011】上記図8及び図7に示した各ACS回路からなる上記図6のステートメトリック計算部102からのバス選択信号（図7の各ACS回路からのバス選択信号）SEL0～SEL7は、バスメモリ回路103に送られる。当該バスメモリ回路103は、上記ステートメトリック計算部102からのバス選択信号SEL0～SEL7が加えられて、生き残りバスの経歴が記憶されるものである。具体的構成の図示は省略するが、当該バスメモリ回路103は、複数段構成の複数のバスメモリセルからなるものであり、上記各ACS回路102<sub>0</sub>～102<sub>7</sub> からのバス選択信号SEL0～SEL7が、当該バスメモリ回路103の対応する各バスメモリセルに送られる。ここで、各段のバスメモリセルでは、入力データ（初段のバスメモリセルには初期値）が、クロックCLKと上記バス選択信号SEL0～SEL7に基づいて順次内部状態を遷移させるようにシフトされる。すなわち、復号サイクル毎にACS回路102<sub>0</sub>～102<sub>7</sub> で生き残りバスと判定した側のバスメモリセルの内容をバス選択信号を用いて後段のバスメモリセルに転送する。なお、拘束長Kの場合には、バスメモリセルが、状態数 $2^{K-1} \times$  拘束長(K×5) 個程度組み合わせられてバスメモリ回路全体が構成される。

【0012】これらバスメモリセルからの出力が、図6の上記多数決回路（最尤判定回路）104に送られる。当該多数決回路104で判定された上記ステートメトリックSMが最小となる経歴のバスメモリ回路103の内容が“0”又は“1”の復号信号として出力端子105

から出力される。

【0013】なお、従来のビタビ復号器については、特開昭59-160349号公報や、特開昭60-111533号公報等に記載されているものを挙げることができる。

【0014】

【発明が解決しようとする課題】ところで、上記ビタビ復号器のステートメトリック計算部の上述したような通常のACS回路においては、図7及び図8に示したように全てのACS回路102<sub>0</sub>～102<sub>7</sub>のセクタ127の出力を正規化検出回路113に送り、当該正規化検出回路113でオーバーフローを補正するための補正値を算出し、この補正値を各ACS回路102<sub>0</sub>～102<sub>7</sub>の加算器116に送って上記セクタ127の出力値から減算して、新たなステートメトリックSMの値としてフリップフロップ117に記憶するようにしている。

【0015】ここで、当該オーバーフローの補正値検出（正規化検出）の動作は、1タイムスロット中で行われている。このようなことから、ステートメトリックSMの値に基づく補正値のフィードバックループが速度的に非常に困難となっている。

【0016】また、ビタビ復号器においては、符号の拘束長Kを大きくする程、誤り訂正能力が大きくなることから、当該誤り訂正能力を高めようとして拘束長Kを大きくしようとする、拘束長Kのとき各ACS回路は2<sup>K-1</sup>個必要となる。したがって、各ACS回路に対してオーバーフロー防止のための構成（図8の加算器116等）を付加することは回路規模が大規模となり、好ましくない。

【0017】そこで、本発明は、上述のような実情に鑑みて提案されたものであり、構成の大型化を防止でき、速度的に問題なくオーバーフローの防止ができ、さらに高速化も可能で、IC化も容易なステートメトリック計算部を有するビタビ復号器を提供することを目的とするものである。

【0018】

【課題を解決するための手段】本発明のビタビ復号器は、上述の目的を達成するために提案されたものであり、入力符号に基づいてブランチメトリックを計算するブランチメトリック計算部と、ブランチメトリックに基づいてパス選択信号を出力する複数のACS回路からなるステートメトリック計算部と、上記パス選択信号が供給される複数のパスメモリセルからなるパスメモリ回路と、上記パスメモリ回路の出力に対して最尤判定を行う最尤判定手段とを有するビタビ復号器であって、上記ステートメトリック計算部は、各ACS回路で求めた全ステートメトリック値の最上位ビット（MSB）に基づいてステートメトリック値の正規化（オーバーフローに対する補正）を行うか否かを決定するようにしている。

【0019】また、上記ステートメトリック計算部は、

時刻tのステートメトリック値に基づいてステートメトリック値の正規化（オーバーフローに対する補正）を行うか否かを決定し、正規化すると決定したときには時刻t+1のステートメトリック値に対して正規化を行う。

【0020】さらに、上記ステートメトリック計算部は、ステートメトリック値の正規化（オーバーフローに対する補正）を行うか否かを決定し、正規化すると決定したときには全ステートメトリック値の最上位ビットを“0”にすることで正規化を行う。

10 【0021】なお、上記ステートメトリック値の正規化を行うか否かを決定する具体的手段（正規化検出手段）としては、各ステートメトリック値のMSBが各入力端子に供給されるAND（論理積）ゲートを例に挙げることができる。すなわち、当該正規化検出手段としてのANDゲートの各入力端子に供給される各ステートメトリックのMSBが全て“1”となったときには、オーバーフローが発生する虞れがある。したがって、当該ANDゲートの各入力端子への上記ステートメトリックのMSBが全て“1”となったときの当該ANDゲートの出力端子からの“1”の出力を、オーバーフローの補正値（検出値）として各ACS回路に送る。

20 【0022】ここで、上記ステートメトリック計算部の各ACS回路は、ブランチメトリックとステートメトリックとを加算する2つの加算器と、当該2つの加算器からの出力を比較する比較器と、上記2つの加算器の出力を上記比較器の出力に基づいて選択するセクタとを有してなる。

30 【0023】上記加算器にはブランチメトリックとステートメトリックの加算時のオーバーフローを防止するオーバーフロー防止手段を設けることができる。また、当該加算器及び／又はセクタには負論理のゲート回路を用いることができる。

【0024】

【作用】本発明のビタビ復号器によれば、正規化を行うタイミングが、正規化決定時の1タイムスロット後に実施されるため、フィードバックループの外で並列処理でき、高速動作が可能となる。

【0025】

40 【実施例】以下、本発明の実施例を図面を参照しながら説明する。

50 【0026】本発明の実施例のビタビ復号器は、例えば前述した図6のように、入力符号に基づいてブランチメトリックBMを計算するブランチメトリック計算部と、ブランチメトリックBMに基づいてパス選択信号（パス選択信号）SELを出力する複数のACS回路からなるステートメトリック計算部と、上記パス選択信号SELが供給される複数のパスメモリセルからなるパスメモリ回路と、上記パスメモリ回路の出力に対して最尤判定を行う最尤判定手段としての多数決回路とを有するビタビ復号器であって、上記ステートメトリック計算部は、図

1に示すように、各ACS回路180<sub>0</sub>～180<sub>7</sub>で求めた時刻tの全ステートメトリックSM0～SM7の値の最上位ビット(MSB)に基づいて、ステートメトリック値の正規化(オーバーフローに対する補正)を行うか否かを決定する正規化検出回路170を設け、当該正規化検出回路170で正規化を行うと決定したときには時刻t+1のステートメトリックSM0～SM7の最上位ビット(MSB)を“0”にすることで正規化を行うようにしたものである。

【0027】なお、この図1には、拘束長K=4の場合を例に挙げている。また、図1と前述の図7とで対応する部分には同一の指示符号を付している。

【0028】すなわち、この図1において、上記各ACS回路180<sub>0</sub>～180<sub>7</sub>では、端子110<sub>00</sub>～110<sub>10</sub>を介して入力されたブランチメトリックBM00～BM11に1シンボル前のバスメトリックを加算して2つのパスに対応する新たなバスメトリックを計算し、これらのバスメトリック値を比較器で比較して、バスメトリックの小さい方を生き残りパスとして選択し、その選択したパスを示すパス選択信号SEL0～SEL7を端子111<sub>0</sub>～111<sub>7</sub>から出力すると共に、上記選択したバスメトリック(ステートメトリックSM0～SM7)を他のACS回路に送る。

【0029】また、本実施例のこのステートメトリック計算部には、各ACS回路180<sub>0</sub>～180<sub>7</sub>におけるステートメトリックSM0～SM7の算出の際のオーバーフローを防止するために、上記オーバーフロー検出回路としての正規化検出回路170が設けられている。当該正規化検出回路170では、上述したように、時刻tの全ステートメトリックSM0～SM7の値のMSBに基づいて上記正規化を行うか否かを決定し、正規化を行うと決定したときには時刻t+1のステートメトリックSM0～SM7のMSBを“0”にする正規化を行うための正規化検出出力(補正值、減算値)を各ACS回路180<sub>0</sub>～180<sub>7</sub>に送る。

【0030】ここで、各々のACS回路180<sub>0</sub>～180<sub>7</sub>は、具体的には例えば図2に示すように、加算器(Adder)220、230と、比較器(Comparator)126と、セレクタ(Selector)200とを主要構成要素とするものである。なお、この図2においても、前述した図8と同様の部分には同一の指示符号を付している。

【0031】この図2において、1つのACS回路の端子120と121にはブランチメトリック計算部からの1組のブランチメトリックBMが供給され、端子124と125には他のACS回路からの上記選択された1組のバスメトリックが供給される。これらブランチメトリックBMとステートメトリックSMとがそれぞれ対応する加算器220、230にて加算される。

【0032】例えば、上記ステートメトリックSMが7ビット長(s m0～s m6の7ビット)で構成され、上

記ブランチメトリックBMが4ビット長(b m0～b m3の4ビット)で構成されとすると、上記加算器220、230は、例えば図3に示すように、加算演算の主要構成要素として、1個の4ビット全加算器224<sub>03</sub>と3個の半加算器224<sub>4</sub>～224<sub>6</sub>とを有してなるものである。

【0033】この図3において、端子221には上記ステートメトリックSMの各ビットs m0～s m6が供給され、当該各ビットs m0～s m6のうちの下位側4ビットs m0～s m3は上記4ビット全加算器224<sub>03</sub>の対応する入力端子A0～A3に送られる。また、ステートメトリックSMの上位側3ビットs m4～s m6はそれぞれ対応する半加算器224<sub>4</sub>～224<sub>6</sub>の入力端子A0に送られる。また、端子222には上記ブランチメトリックBMの各ビットb m0～b m3が供給され、上記4ビット全加算器224<sub>03</sub>の対応する入力端子B0～B3に送られる。

【0034】上記4ビット全加算器224<sub>03</sub>では、上記ステートメトリックSMの下位側4ビットs m0～s m3とブランチメトリックの各ビットb m0～b m3との加算を行い、各出力端子S0～S3から加算結果が出力され、桁上げがある場合にはキャリアウト端子C0から桁上げ信号(キャリアウト信号)が出力される。

【0035】上記4ビット全加算器224<sub>03</sub>のキャリアウト端子C0は、上記半加算器224<sub>4</sub>の入力端子B0と接続されている。また、当該半加算器224<sub>4</sub>のキャリアウト端子C0は半加算器224<sub>5</sub>の入力端子B0と接続され、さらに当該半加算器224<sub>5</sub>のキャリアウト端子C0は半加算器224<sub>6</sub>の入力端子B0と接続されている。これら半加算器224<sub>4</sub>～224<sub>6</sub>における加算結果は、各々の出力端子Sから出力される。

【0036】すなわち、この図3の加算器においては、上記全加算器224<sub>03</sub>及び半加算器224<sub>4</sub>～224<sub>6</sub>によって、全体でステートメトリックSMとブランチメトリックBMの加算を実現している。

【0037】また、当該図3に示す加算器には、ステートメトリックSMとブランチメトリックBMとの上記加算結果がオーバーフローしないようにするためのオーバーフロー防止手段としての1個の4入力ANDゲート223及び7個の2入力NORゲート225<sub>0</sub>～225<sub>6</sub>を設けている。すなわち、ステートメトリックSMが7ビット長でブランチメトリックBM wビット長の場合においては、7ビット+4ビット=8ビットとなる場合があるため、上記加算結果が7ビット長を越えないように(端子226からの出力q0～q6が7ビット長を越えないように)するために、上記ANDゲート223及びNORゲート225<sub>0</sub>～225<sub>6</sub>を設けている。上記ANDゲート223の4つの入力端子には、上記4ビット全加算器224<sub>03</sub>のキャリアウト信号と上記上位側3ビットのステートメトリックs m4、s m5、s m6の

10

20

30

40

50

各ビットが供給されるようになっている。また、上記7つのNORゲート225<sub>0</sub>～225<sub>6</sub>のうちのゲート225<sub>0</sub>～225<sub>3</sub>のそれぞれ一方の入力端子には上記4ビット全加算器224<sub>03</sub>の対応する各出力端子S0～S3から加算結果が供給され、ゲート225<sub>4</sub>～225<sub>6</sub>のそれぞれ一方の入力端子には対応する半加算器224<sub>4</sub>～224<sub>6</sub>の各出力端子Sから加算結果が供給されるようになっている。

【0038】ここで、図3に示した構成において、7ビット長のステートメトリックSMと4ビット長のブランチメトリックBMとを加算した結果が8ビット長になる場合すなわちオーバーフローするのは、必ず、上記4ビット全加算器224<sub>03</sub>のキャリアウト信号と、上記上位側3ビットのステートメトリックsm4, sm5, sm6の各ビットとが“1”となる場合のみである。

【0039】このため、本実施例では、上記4入力ANDゲート223で上記4ビット全加算器224<sub>03</sub>のキャリアウト信号と上記上位側3ビットのステートメトリックsm4, sm5, sm6の各ビットの論理積(AND)を取るようにし、上記4ビット全加算器224<sub>03</sub>のキャリアウト信号と上記上位側3ビットのステートメトリックsm4～sm6が全て“1”となった場合の当該4入力ANDゲート223の出力(すなわち“1”)を、上記7個のNORゲート225<sub>0</sub>～225<sub>6</sub>のそれぞれ他方の入力端子に送るようにしている。これにより、上記4入力ANDゲート223の出力が“1”の場合(すなわちオーバーフローする場合)には、各NORゲート225<sub>0</sub>～225<sub>6</sub>から“0”が出力されるようになりオーバーフローが防止されるようになる。なお、オーバーフローがない場合すなわち4入力ANDゲート223の出力が“0”の場合は、上記全加算器224<sub>03</sub>及び半加算器224<sub>4</sub>～224<sub>6</sub>の加算出力が全て反転出力となって、端子226から出力(7ビット出力q0～q6)されるようになる。

【0040】このように、本実施例の図3の加算器においては、上記半加算器224<sub>4</sub>～224<sub>6</sub>における3ビット分の加算を行う前に、オーバーフローを行うか否かが判定できるので、処理の高速化が可能となる。

【0041】また、本実施例の図3の加算器において、各NORゲート225<sub>0</sub>～225<sub>6</sub>はORゲートとすることも可能であるが、負論理構成とするとゲート数を削減できると共にその分処理も高速化できるので、本実施例では負論理の上記NORゲート225<sub>0</sub>～225<sub>6</sub>を用いるようにしている。

【0042】図2に戻って、上述したような図3の構成の加算器220, 230からのバスメトリックが上記比較器126に送られる。当該比較器126では生き残りバスが選択され、そのバスがバス選択信号(バス選択信号)SELとして端子129から出力される。また、上記加算器122, 123からのバスメトリックは上記セ

レクタ200にも送られ、当該セクタ200では上記比較器126からのバス選択信号SELに基づいて上記2つのバスメトリックを選択する。

【0043】上記セクタ200で選択されたバスメトリックはステートメトリックSMとしてフリップフロップ177に送られ記憶される。このフリップフロップ177からの1タイムクロック前のステートメトリックSMは、端子128から出力されて他のACS回路に送られると共に、当該1タイムクロック前の全ステートメトリックSMのMSBのみが上記正規化検出回路170に送られる。

【0044】当該正規化検出回路170は、具体的には図4及び図1に示すように、n入力(拘束長Kの場合は $n=2^{K-1}$ で、本実施例では拘束長K=4であるため7入力)のANDゲート172からなるものである。

【0045】図4において、当該正規化検出回路170の端子174<sub>0</sub>～174<sub>n</sub>(本実施例では端子174<sub>0</sub>～174<sub>7</sub>)には、上記ステートメトリックSM0～SM7のMSBが供給され、ANDゲート172に送られる。当該ANDゲート172ではn個(7個)のステートメトリックSM0～SM7のMSBの全ての論理積を取り、その出力を正規化検出出力norとして端子173から出力する。すなわち、当該正規化検出回路170においては、n個(7個)のステートメトリックSM0～SM7のMSBビットが全て“1”となった時に

“1”となる正規化検出出力norを、端子173を介して各ACS回路180<sub>0</sub>～180<sub>7</sub>に対して送る。言い換えれば、当該正規化検出回路170のANDゲート172の各入力端子に供給される各ステートメトリックSMのMSBが全て“1”となったときには、オーバーフローが発生する虞れがあるので、当該ANDゲート172の各入力端子への上記ステートメトリックSMのMSBが全て“1”となったときの当該ANDゲート172の出力端子からの“1”の出力を、オーバーフローの補正值として各ACS回路180<sub>0</sub>～180<sub>7</sub>に送り、これらACS回路180<sub>0</sub>～180<sub>7</sub>で正規化を行うようさせる。なお、オーバーフローしない時すなわち正規化を行わない時には上記正規化検出出力norは“0”である。

【0046】ここで、上記正規化検出出力norは、図2に示すように、各ACS回路180<sub>0</sub>～180<sub>7</sub>の端子171を介して、セクタ200に送られるようになっている。

【0047】当該セクタ200は、具体的には図5に示すように構成されるものである。この図5において、上記ステートメトリックSMを7ビット長とした場合、当該セクタ200の端子202には、前述した図2の加算器220, 230の何れか一方からの7ビットの加算出力a0～a7が供給され、端子203には他方の加算器からの7ビットの加算出力b0～b7が供給され



る。また、端子201には上記正規化検出出力norが供給されるようになっており、端子204にはバス選択信号SELが供給される。

【0048】上記加算出力a0～a7のうちのa0はANDゲート205<sub>0</sub>の一方の入力端子に送られ、上記加算出力b0～b7のうちのb0はANDゲート206<sub>0</sub>の一方の入力端子に送られる。以下同様に、加算出力a1はANDゲート205<sub>1</sub>の一方の入力端子に、上記加算出力b1はANDゲート206<sub>1</sub>の一方の入力端子に、加算出力a2はANDゲート205<sub>2</sub>の一方の入力端子に、上記加算出力b2はANDゲート206<sub>2</sub>の一方の入力端子に、加算出力a3はANDゲート205<sub>3</sub>の一方の入力端子に、上記加算出力b3はANDゲート206<sub>3</sub>の一方の入力端子に、加算出力a4はANDゲート205<sub>4</sub>の一方の入力端子に、上記加算出力b4はANDゲート206<sub>4</sub>の一方の入力端子に、加算出力a5はANDゲート205<sub>5</sub>の一方の入力端子に、上記加算出力b5はANDゲート206<sub>5</sub>の一方の入力端子に、加算出力a6はANDゲート205<sub>6</sub>の一方の入力端子に、上記加算出力b6はANDゲート206<sub>6</sub>の一方の入力端子に送られる。

【0049】また、これら各ANDゲート205<sub>0</sub>～205<sub>6</sub>のそれぞれ他方の入力端子には上記バス選択信号SELが供給され、各ANDゲート206<sub>0</sub>～206<sub>6</sub>のそれぞれ他方の入力端子にはインバータ209を介して反転されたバス選択信号SELが供給されるようになっている。

【0050】さらに、これら各ANDゲート205<sub>0</sub>～205<sub>6</sub>及び206<sub>0</sub>～206<sub>6</sub>の各出力は、それぞれ対応するNORゲート207<sub>0</sub>～207<sub>6</sub>の入力端子に送られる。すなわち、ANDゲート205<sub>0</sub>の出力はNORゲート207<sub>0</sub>の一方の入力端子に、ANDゲート206<sub>0</sub>の出力はNORゲート207<sub>0</sub>の他方の入力端子に送られる。以下同様に、ANDゲート205<sub>1</sub>の出力はNORゲート207<sub>1</sub>の一方の入力端子に、ANDゲート206<sub>1</sub>の出力はNORゲート207<sub>1</sub>の他方の入力端子に、ANDゲート205<sub>2</sub>の出力はNORゲート207<sub>2</sub>の一方の入力端子に、ANDゲート206<sub>2</sub>の出力はNORゲート207<sub>2</sub>の他方の入力端子に、ANDゲート205<sub>3</sub>の出力はNORゲート207<sub>3</sub>の一方の入力端子に、ANDゲート206<sub>3</sub>の出力はNORゲート207<sub>3</sub>の他方の入力端子に、ANDゲート205<sub>4</sub>の出力はNORゲート207<sub>4</sub>の一方の入力端子に、ANDゲート206<sub>4</sub>の出力はNORゲート207<sub>4</sub>の他方の入力端子に、ANDゲート205<sub>5</sub>の出力はNORゲート207<sub>5</sub>の一方の入力端子に、ANDゲート206<sub>5</sub>の出力はNORゲート207<sub>5</sub>の他方の入力端子に、ANDゲート205<sub>6</sub>の出力はNORゲート207<sub>6</sub>の一方の入力端子に、ANDゲート206<sub>6</sub>の出力はNORゲート207<sub>6</sub>の他方の入力端子に送られ

る。

【0051】したがって、これら各ANDゲート205<sub>0</sub>～205<sub>6</sub>と206<sub>0</sub>～206<sub>6</sub>及びNORゲート207<sub>0</sub>～207<sub>6</sub>においては、上記バス選択信号SEL及びその反転信号に応じてそれぞれ上記加算出力a0～a7とb0～b7の選択がなされる。例えば、上記バス選択信号SELが“0”の時は上記加算出力b0～b6が選択され、上記バス選択信号SELが“1”の時は上記加算出力a0～a6が選択される。

【0052】ところで、この図5に示すセクタにおいて、上記NORゲート207<sub>6</sub>は3入力となっており、当該NORゲート207<sub>6</sub>の3番目の入力端子には上記端子201を介する上記正規化検出出力norが供給されるようになっている。

【0053】すなわち、この図5に示す本実施例のセクタにおいては、上記加算出力a0～a7とb0～b7の最上位ビットに対応する上記NORゲート207<sub>6</sub>に対して上記正規化検出出力norを送ることで、選択と同時に正規化すなわちオーバーフローの補正を可能としている。

【0054】具体的に言うと、上記正規化検出出力norが“1”となる場合（オーバーフローする場合）には、MSBビット（図5の場合は第6ビット）を除く（第0～第5ビット）については通常通り選択出力されるが、MSBビットは上記正規化検出出力norが供給される上記NORゲート207<sub>6</sub>におけるNOR論理により、出力Q6は“0”になる。ここで、当該正規化検出出力norは、全ACS回路（図1のACS回路180<sub>0</sub>～180<sub>7</sub>）に接続されているため、全ステートメトリックSM0～SM7のMSBビットは“0”になり、これにより正規化が可能となる。

【0055】なお、本実施例の図5のセクタにおいても、各NORゲート207<sub>0</sub>～207<sub>6</sub>はORゲートとすることも可能であるが、負論理構成とするとゲート数を削減することができると共にその分処理も高速化できるので、本実施例では負論理の上記NORゲート207<sub>0</sub>～207<sub>6</sub>を用いるようにしている。また、本実施例では、前述した図3のように、加算器で負論理構成を用いているので、当該セクタでも負論理構成とすることで、当該セクタの出力は正論理に直すことができる。

【0056】上述した各ACS回路180<sub>0</sub>～180<sub>7</sub>の図5に示したセクタ200の出力Q0～Q6（ステートメトリックSM）は、出力端子210から出力され、図2のフリップフロップ177に送られる。

【0057】上述したように、本実施例においては、全体として、時刻tにおける全ステートメトリックSMから正規化を検出し、時刻t+1に正規化を実施することにより、また、正規化の判定は全ステートメトリックSMのMSBビットに対して行い、この検出出力に基づいて正規化を行うことによって、高速動作かつ小規模の回

路で実現できるようになった。

【0058】すなわち、本発明実施例のビタビ復号器によれば、正規化を行うタイミングが、正規化決定時の1タイムスロット後に実施されるため、フィードバックループの外で並列処理でき、高速動作が可能となる。したがって、特に、拘束長Kが長い場合に適用すると、回路規模の増大を抑えることができ、IC化する上で非常に有利となる。

【0059】

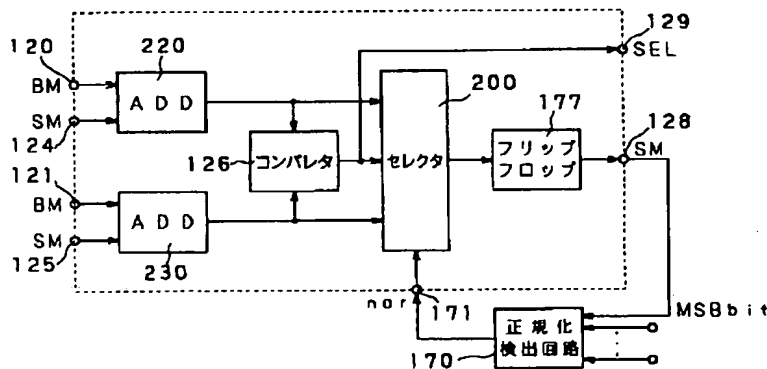
【発明の効果】上述のように、本発明においては、ステートメトリック計算部は、各ACS回路で求めた時刻tの全ステートメトリックの値の最上位ビットに基づいて、ステートメトリック値の正規化（オーバーフローに対する補正）を行うか否かを決定し、正規化を行うと決定したときには時刻t+1のステートメトリックの最上位ビットを“0”にすることで正規化を行うようにしたことにより、正規化を行うタイミングが、正規化決定時の1タイムスロット後に実施されるようになってフィードバックループの外で並列処理でき高速動作が可能となり、速度的に問題なくオーバーフローの防止ができるようになる。また、ステートメトリック計算部のACS回路の加算器及びセクタを負論理構成とすることで、構成の大型化を防止でき、さらに高速化も可能で、IC化も容易となる。

【図面の簡単な説明】

【図1】本発明の実施例の拘束長K=4のビタビ復号器のステートメトリック計算部の概略構成を示すブロック回路図である。

【図2】本実施例のステートメトリック計算部のACS回路及び正規化検出回路の概略構成を示すブロック回路図である。

【図2】



【図3】本実施例のACS回路の加算器の具体的構成を示す回路図である。

【図4】本実施例のステートメトリック計算部の正規化検出回路の具体的構成を示す回路図である。

【図5】本実施例のACS回路のセクタの具体的構成を示す回路図である。

【図6】ビタビ復号器の全体構成を示すブロック回路図である。

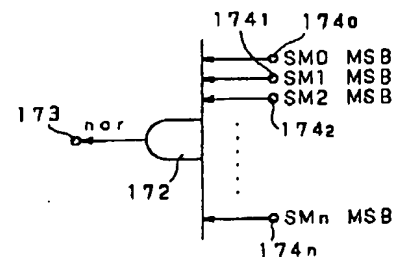
【図7】従来のステートメトリック計算部の概略構成を示すブロック回路図である。

【図8】従来のステートメトリック計算部のACS回路及び正規化検出回路の概略構成を示すブロック回路図である。

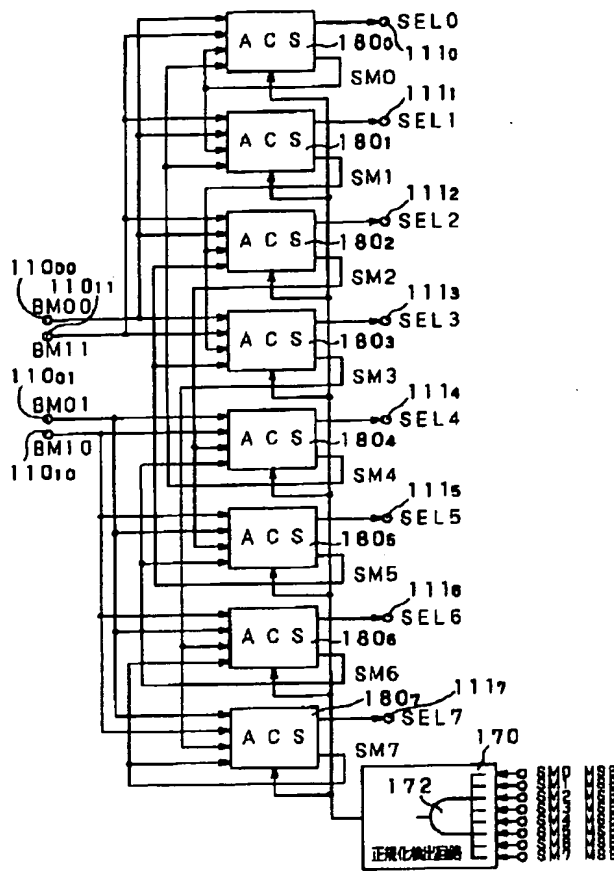
【符号の説明】

- 101・・・ブランチメトリック計算部
- 102・・・ステートメトリック計算部
- 103・・・バスメモリ回路
- 104・・・多数決回路（最尤判定回路）
- 126・・・比較器
- 170・・・正規化検出回路
- 172, 223, 205<sub>0</sub>～205<sub>7</sub>, 206<sub>0</sub>～206<sub>7</sub>・ANDゲート
- 177・・・フリップフロップ
- 180<sub>0</sub>～180<sub>7</sub>・・・ACS回路
- 200・・・セクタ
- 207<sub>0</sub>～207<sub>6</sub>, 225<sub>0</sub>～225<sub>6</sub>・・・NORゲート
- 220, 230・・・加算器
- 224<sub>4</sub>～224<sub>6</sub>・・・半加算器
- 224<sub>03</sub>・・・4ビット全加算器

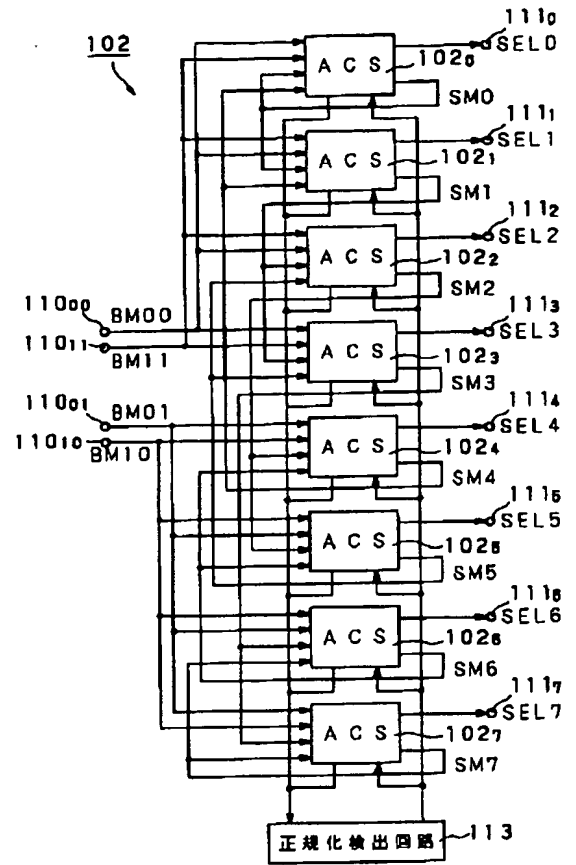
【図4】



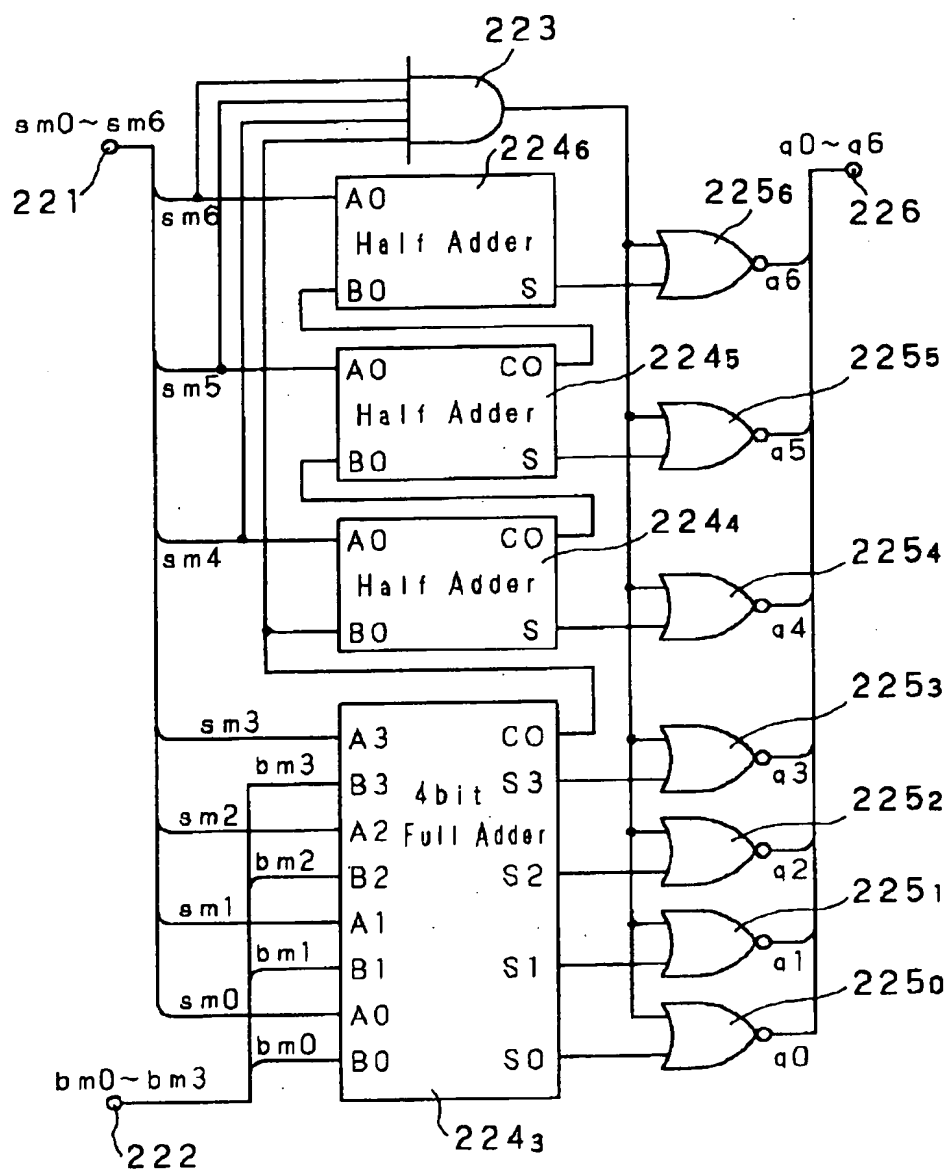
【図1】



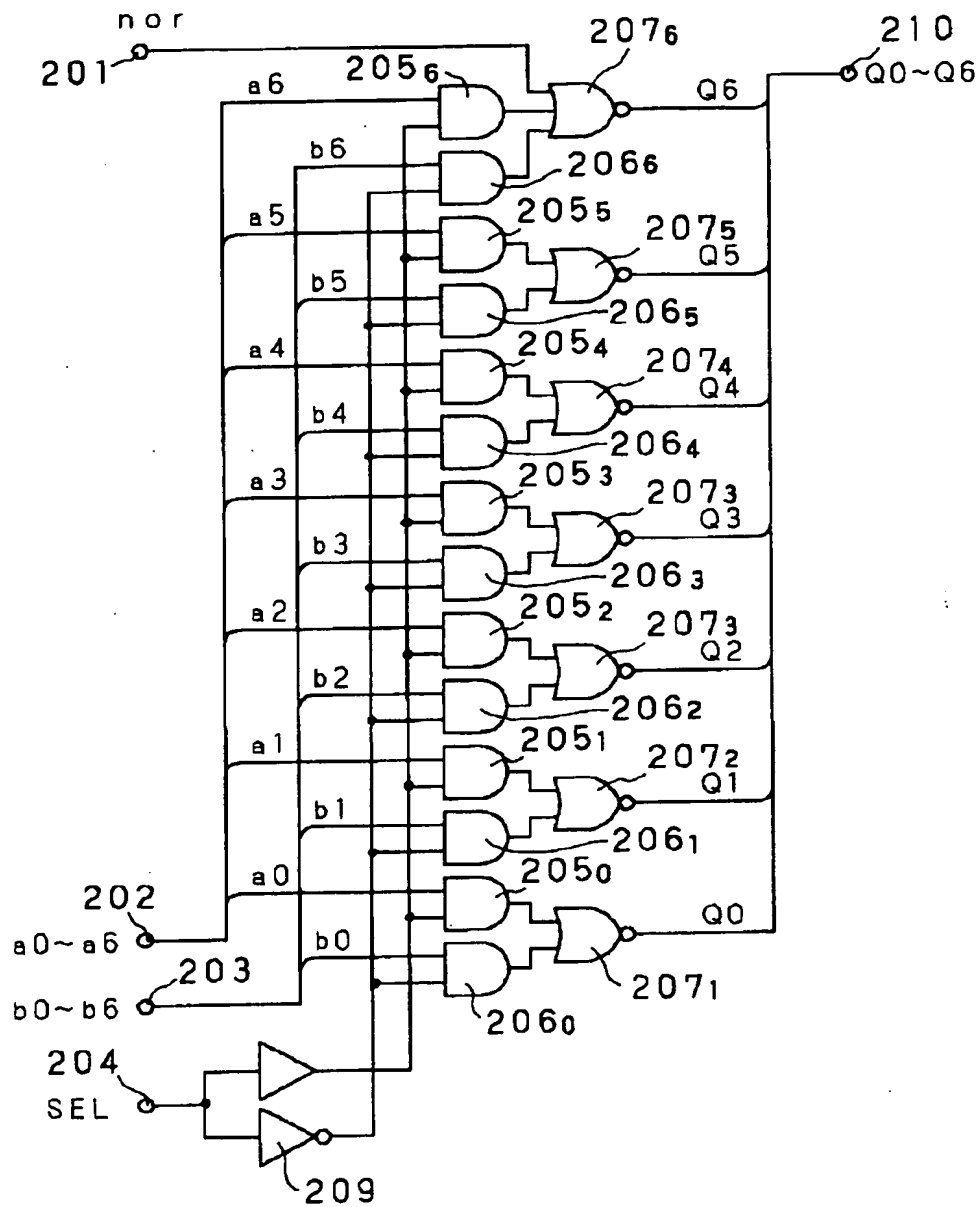
【図7】



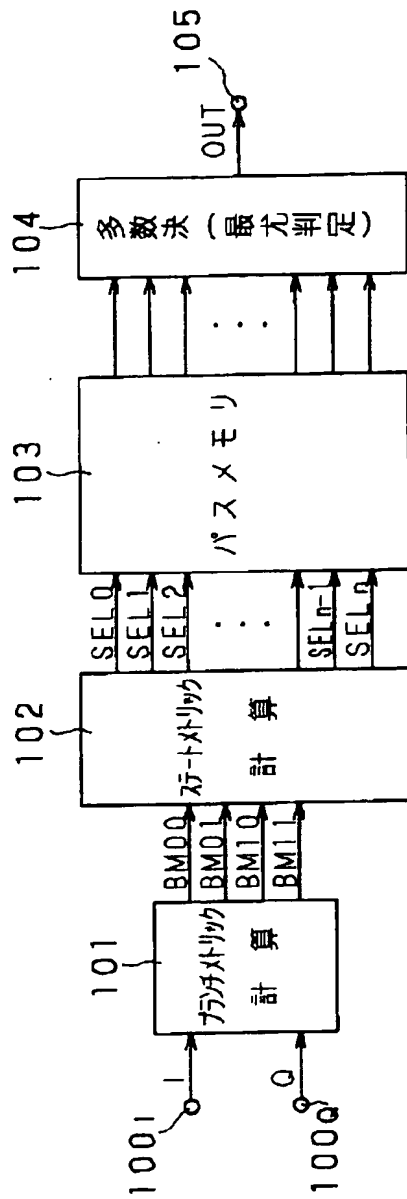
【図3】



【図5】



【図6】



【図8】

